

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087543

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 09-245571

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.09.1997

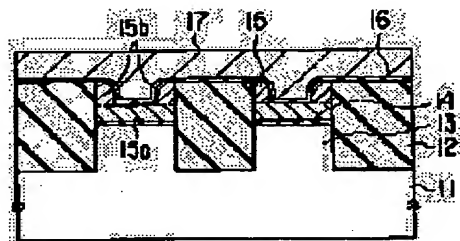
(72)Inventor : SHUDO SUSUMU  
SHIMIZU KAZUHIRO  
WATABE HIROSHI  
ARITOME SEIICHI  
MARUYAMA TORU

## (54) NONVOLATILE SEMICONDUCTOR MEMORY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To allow high integration and microminiaturization.

**SOLUTION:** At the cell part of a nonvolatile semiconductor memory, a floating gate 15 having recessed cross-section is formed to touch a tunnel insulation film 14 and the side wall part of an isolation region 12. The area of an inter-insulation film 16 to be formed on the floating gate 15 is set larger than the area of the tunnel insulation film 14 to be formed on a semiconductor substrate. More specifically, the capacitance C2 between the floating gate and a control gate is set higher than the capacitance C1 between an element region 13 and the floating gate in order to lower the voltage Vpp being applied for writing or erasing data. According to the structure, a nonvolatile semiconductor memory suitable for high integration and microminiaturization is obtained.



## LEGAL STATUS

[Date of request for examination]

11.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87543

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

29/788

27/10

4 3 4

29/792

27/115

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号

特願平9-245571

(22) 出願日

平成9年(1997) 9月10日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 首藤 晋

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 清水 和裕

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 渡部 浩

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

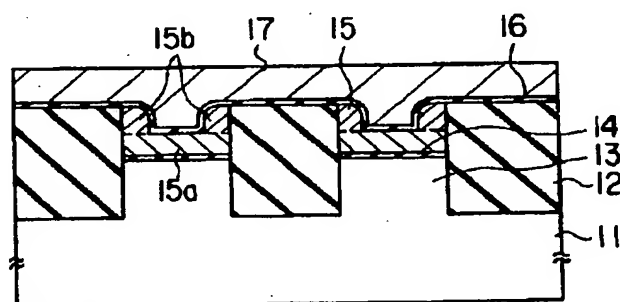
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

・【課題】従来の不揮発性半導体記憶装置は、素子形成領域を微細化しても、半導体基板-浮遊ゲート間の容量と浮遊ゲート-制御ゲート間の容量の比は、あまり変わらないため、書き込み電圧 $V_{pp}$ の低圧化はONO膜の薄膜化に専らねばならず、非常に困難であり、セルを微細化する上で問題であった。

・【解決手段】本発明は、不揮発性半導体記憶装置のセル部において、トンネル絶縁膜14上と素子分離領域12の側壁部とに接する断面が凹型形状の浮遊ゲート15を形成し、半導体基板上に形成されるトンネル絶縁膜14の面積に対して、浮遊ゲート15上に形成されるインター絶縁膜16の面積を大きくし即ち、素子領域13-浮遊ゲート間容量 $C_1$ に対して、浮遊ゲート-制御ゲート間容量 $C_2$ を大きくとることにより、データの書き込み及びその消去に印加する電圧 $V_{pp}$ を低圧化し、高集積化及び微細化に適する不揮発性半導体記憶装置を提供する。



1

・【特許請求の範囲】

・【請求項1】 半導体基板表面に設けた溝に絶縁体を埋め込んで形成した素子分離領域と、前記素子分離領域によって電気的に分離された素子形成領域と、前記素子形成領域とトンネル絶縁膜を介して設けられる電荷蓄積のための浮遊ゲートと、前記浮遊ゲートとインター絶縁膜を介して対向する制御ゲートと、を備えた不揮発性半導体記憶装置において、

前記浮遊ゲートが前記トンネル絶縁膜上部及び前記素子分離領域の側壁部に接し、且つ前記制御ゲートに向かって突起部分を有する形状を呈していることを特徴とする不揮発性半導体記憶装置。

・【請求項2】 前記浮遊ゲートは、前記トンネル絶縁膜上に形成されている平坦部分と、前記素子分離領域を形成している絶縁体の側壁部に接するように形成されている前記突起部分とからなることを特徴とする請求項1記載の不揮発性半導体記憶装置。

・【請求項3】 前記浮遊ゲートの前記平坦部分は、素子分離領域用の溝を形成する時のマスク材を兼ねていることを特徴とする請求項2記載の不揮発性半導体記憶装置。

・【請求項4】 隣接する前記素子分離領域間の前記素子形成領域の幅をa、前記半導体基板表面から前記素子分離領域の上端までの距離をb、前記浮遊ゲートの前記平坦部分の前記素子形成領域上での厚さをd、前記トンネル絶縁膜とインター絶縁膜のシリコン酸化膜換算の膜厚をそれぞれ、 $T_{ox}$ 、 $T_{ono}$ としたとき、

・【数1】

$$d \leq b - \frac{a}{2} \left( \frac{T_{ono}}{T_{ox}} - 1 \right)$$

の関係式を満たすことを特徴とする請求項2記載の不揮発性半導体記憶装置。

・【請求項5】 前記素子形成領域と前記浮遊ゲート間の第1の容量に対して、前記浮遊ゲートと前記制御ゲート間の第2の容量が大きいことを特徴とする請求項1乃至請求項4のいずれか1項に記載の不揮発性半導体記憶装置。

・【請求項6】 前記浮遊ゲートは、前記浮遊ゲート及び、前記制御ゲートのゲート長方向と直交する面に沿った断面形状が凹型形状であることを特徴とする請求項1乃至請求項5のいずれか1項に記載の不揮発性半導体記憶装置。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】 本発明は、素子分離構造にトレンチ素子分離法を用いる不揮発性半導体記憶装置に係り、特に素子分離構造がメモリセルの浮遊ゲートと自己整合的に形成された不揮発性半導体記憶装置に関する。

・【0002】

2

・【従来の技術】 図11は、トレンチ素子分離による素子分離構造がメモリセルの浮遊ゲートと自己整合的に形成された従来の不揮発性半導体記憶装置のセル部の断面の構成例を示す。このセル部は、例えば、シリコン半導体からなる半導体基板10上に素子形成領域1と素子分離領域2が形成され、この素子形成領域1上にトンネル酸化膜5及びインター絶縁膜6を介して、浮遊ゲート3と制御ゲート4が形成されている。

・【0003】 この不揮発性半導体記憶装置へのデータの書き込み及びその消去は、例えば、半導体基板10と制御ゲート4との間に高い電圧 $V_{pp}$ を印加することにより、トンネル酸化膜5にFN電流を流して行う。この時、トンネル酸化膜5－浮遊ゲート3間の容量 $C_1$ に対して、浮遊ゲート3－制御ゲート4間の容量 $C_2$ が大きい方がトンネル酸化膜5に加わる電界を大きく出来るため、ひいては同じ量のFN電流を流すために必要な半導体基板10－制御ゲート4間の電位差を小さくすることができる。

・【0004】 ここで、この電圧 $V_{pp}$ を小さくすることは、セル部の周辺に配置される回路の微細化にも重要なことであり、換言すれば高集積化を実現する上で、高電圧 $V_{pp}$ の低圧化は有効であった。

・【0005】

・【発明が解決しようとする課題】 前述したような図11に示される従来の不揮発性半導体記憶装置において、浮遊ゲートと制御ゲートは、インター絶縁膜としてのON<sub>2</sub>O膜（酸化膜－窒化膜－酸化膜の積層膜からなる絶縁膜）を介して対向しており、この対向面は平坦であった。この構造の場合、素子（素子形成領域）を微細化していても、半導体基板の素子形成領域（チャネル部）－浮遊ゲート間のキャパシタの面積と浮遊ゲート－制御ゲート間のキャパシタの面積の比は、あまり変わらない。

・【0006】 従って、高い電圧 $V_{pp}$ を下げるためには、ON<sub>2</sub>O膜の薄膜化が必要であった。しかし、ON<sub>2</sub>O膜の薄膜化にも耐圧等による限界があるため、電圧 $V_{pp}$ を低圧化することは困難であり、不揮発性半導体記憶装置を微細化する上で問題となっていた。

・【0007】 そこで本発明は、チャネル部－浮遊ゲート間容量に対して、浮遊ゲート－制御ゲート間容量を大きくとり、データの書き込み及びその消去を行うために印加される電圧 $V_{pp}$ の低圧化を実現し、高集積化及び微細化に適する不揮発性半導体記憶装置を提供することを目的とする。

・【0008】

・【課題を解決するための手段】 本発明は上記目的を達成するために、半導体基板表面に設けた溝に絶縁体を埋め込んで形成した素子分離領域と、前記素子分離領域によって電気的に分離された素子形成領域と、前記素子形成領域とトンネル絶縁膜を介して設けられる電荷蓄積のた

3

めの浮遊ゲートと、前記浮遊ゲートとインター絶縁膜を介して対向する制御ゲートと、を備えた不揮発性半導体記憶装置において、前記浮遊ゲートが前記トンネル絶縁膜上部及び前記素子分離領域の側壁部に接し、且つ前記制御ゲートに向かって突起部分を有する形状を呈していることを特徴とする不揮発性半導体記憶装置を提供する。

・【0009】また、隣接する前記素子分離領域間の前記素子形成領域の幅を  $a$ 、前記半導体基板表面から前記素子分離領域の上端までの距離を  $b$ 、前記浮遊ゲートの前記平坦部分の前記素子形成領域上での厚さを  $d$ 、前記トンネル絶縁膜とインター絶縁膜のシリコン酸化膜換算の膜厚をそれぞれ、 $T_{ox}$ 、 $T_{ono}$  としたとき、 $d \leq b - a/2$  ( $T_{ono}/T_{ox} - 1$ ) の関係式を満たす不揮発性半導体記憶装置を提供する。

・【0010】以上のような構成の不揮発性半導体記憶装置は、浮遊ゲートの上面が突起部分有しているため、インター絶縁膜を介して浮遊ゲートと制御ゲートとが対向する面積が浮遊ゲートと半導体基板とが対向する面積よりも大きくなり、半導体基板-浮遊ゲート間の容量  $C_1$  に対して、浮遊ゲート-制御ゲート間の容量  $C_2$  が大きくなる。これにより、書き込み及び消去用の高電圧  $V_{pp}$  が低圧化され、さらなる高集積化に対応可能となる。

・【0011】

・【発明の実施の形態】以下、図面を参照して本発明の実施形態について詳細に説明する。図1(a)には、本発明による第1の実施形態としての不揮発性半導体記憶装置のセル部(メモリセルトランジスタ)の構成例を示し、説明する。

・【0012】このセル部は、半導体基板11において、トレンチ素子分離領域12により電気的に分離される素子形成領域13上に形成されており、その構造として、素子形成領域13上に形成された平坦なシリコン酸化膜(トンネル絶縁膜)14と、そのトンネル絶縁膜14上に断面積形状が中央に窪みをつけた凹型に形成された浮遊ゲート15と、さらに、その浮遊ゲート15の表面形状に沿って、シリコン酸化膜-シリコン窒化膜-シリコン酸化膜が積層されたONO膜からなるインター絶縁膜16と、その上層に形成された制御ゲート17とで構成される。

・【0013】即ち、この実施形態では、素子形成領域13に接する側の素子分離領域12の側壁部に沿って、浮遊ゲート15に突起部分15aを設けることにより、断面形状が凹型形状の浮遊ゲート15を形成している。このような形状により、浮遊ゲート15-制御ゲート17間のキャパシタの面積を増やすことができるため、従来のようにONO膜の薄膜化を図らなくとも半導体基板11-浮遊ゲート15間の、容量  $C_1$  に対する浮遊ゲート15-制御ゲート17間の容量  $C_2$  の比を大きくすることが容易に可能となる。従って、 $V_{pp}$  の低圧化を実現す

4

ることができ、さらなる高集積化に容易に対応することができる。

・【0014】図2には、前記セル部を拡大して示し、本発明の効果が十分に生かされるためのセル部の形状について説明する。この構成において、隣接する素子分離領域12間の素子形成領域13の幅を「 $a$ 」、半導体基板11の表面から素子分離領域12の上端までの距離を「 $b$ 」、浮遊ゲート15における前述した突起部分15aを除いた平坦部分15bの素子形成領域13上での厚さを「 $d$ 」、ONO膜を介して浮遊ゲート15と制御ゲート17が対向している部分の断面の長さを「 $L$ 」、トンネル絶縁膜14の膜厚を「 $T_{ox}$ 」、インター絶縁膜(ONO膜)16のシリコン酸化膜換算の膜厚を「 $T_{ono}$ 」とする。

・【0015】ここで、このトンネル絶縁膜(シリコン酸化膜)14によるコンデンサ容量  $C_1$  は、 $a/T_{ox}$  に比例し、また、ONO膜によるコンデンサ容量  $C_2$  は、 $L/T_{ono}$  に比例する。これらの比例定数が同じであるため、容量結合比  $R$  は、

・【0016】

・【数2】

$$R = \frac{C_2}{C_1 + C_2} = \frac{1}{1 + \frac{C_1}{C_2}} = \frac{1}{1 + \frac{T_{ono}}{T_{ox}} \cdot \frac{a}{L}}$$

と表すことができる。ここで、 $L = a + 2(b - d)$  を考慮して前式を解くと、

・【0017】

・【数3】

$$b = d + \frac{a}{2} \left( \frac{T_{ono}}{T_{ox}} \cdot \frac{R}{1 - R} - 1 \right)$$

が得られる。この数式より、本発明を実施する場合の素子分離領域上端の基板表面からの高さを決めることができる。例えば、ここで、 $T_{ono} = 14 \text{ nm}$ 、 $T_{ox} = 8 \text{ nm}$ 、 $a = 0.25 \mu\text{m}$ 、 $d = 0.1 \mu\text{m}$ 、 $R = 0.5$  と仮定して、前式に代入すると、 $b = 0.19 \mu\text{m}$  が得られる。この値は、容量  $C_1$  と容量  $C_2$  において、 $C_1 = C_2$  を実現するための数値である。

・【0018】さらに前述した数式から、 $b$  を大きくするほど、 $R$  も大きくなるのがわかるので、より大きい容量結合比を得るには  $b (= 0.19 \mu\text{m})$  をこの値よりも大きいことが好ましく、より一般的には、

・【0019】

・【数4】

$$d \leq b - \frac{a}{2} \left( \frac{T_{ono}}{T_{ox}} - 1 \right)$$

の関係を満足すればよい。

・【0020】従って、本発明にかかる素子分離工程で

5

は、この関係が実現されるように製造工程を組む必要がある。次に、図3乃至図5に示す製造工程を参照して、本実施形態の不揮発性半導体記憶装置の製造工程について説明する。

・【0021】まず、図3(a)に示すように、熱酸化処理により、例えば、膜厚8nmのシリコン酸化膜(トンネル酸化膜)14をシリコン基板11上に形成する。次にCVD法等を用いて、その上層に膜厚100nm程度が多結晶シリコン膜(Poly-Si)18、さらに、膜厚200nm程度のシリコン窒化膜(SiN)19を堆積させる。こ

こで堆積させる多結晶シリコン膜19には、例えば、リン等の不純物をイオン注入法により導入する。

・【0022】次に図3(b)に示すようにフォトリソグラフィ技術を用いて、レジストパターン20を形成し、このレジストパターン20をマスクとして、反応性イオンエッチング(RIE)により、選択的にシリコン窒化膜19、多結晶シリコン膜18及びシリコン酸化膜14を除去する。

・【0023】続いて、図3(c)に示すように、アッシング等により、レジストパターン20を除去し、次に部分的に残っているシリコン窒化膜19と多結晶シリコン膜18の積層体をマスクとして、RIE法により、シリコン基板11自体を部分的に除去し、後に素子分離領域を形成する溝を形成する。この時、素子分離領域の溝の深さがシリコン基板11の表面から、例えば、0.4μm程度になるように除去する。

・【0024】この後、シリコン基板11上に熱酸化処理により膜厚30nm程度のシリコン酸化膜(図示せず)を形成した後、TEOS等を原料ガスとするCVD法により、シリコン酸化膜21を堆積させて、先に形成した素子分離領域を形成する溝を埋め込む。

・【0025】次に図3(d)に示すように、まず、CMP法等により、シリコン酸化膜21の表面からシリコン窒化膜19が露出するまで平坦化する。その後、露出したシリコン窒化膜19をH<sub>3</sub>PO<sub>4</sub>を用いて取り去る。

・【0026】以上説明した製造工程により、素子分離領域22とその間の素子形成領域とが形成されているが、ここまでの製造工程については、従来技術を利用できる。但し、本発明の要旨を満たすためには、シリコン窒化膜19の膜厚等を調整して、図3(d)に示すように、素子分離領域22の表面から多結晶シリコン膜18までの高さhを十分に大きくとることが重要である。

・【0027】次に、本実施形態では、図4(a)に示すように、CVD法等を用いて、基板表面上に、例えば、膜厚50nm程度の多結晶シリコン膜23を堆積させる。この時、多結晶シリコン膜23の膜厚jは、素子形成領域の幅の半分(a/2)未満好ましくは1/4(a/4)以下であることが必要である。

・【0028】そして堆積させた多結晶シリコン膜23には、例えば、リン(P)をイオン注入して既に形成して

6

いる多結晶シリコン膜18と同じ導電性を持たせる。また、多結晶シリコン膜23の堆積時に、同時にリンを導入してもよい。但し、素子形成領域が十分に微細である場合には、別工程で多結晶シリコン膜23に不純物を導入しなくても、以後の製造工程における熱処理により、リンが多結晶シリコン18から多結晶シリコン膜23に拡散して、同様な導電性を持つようになる。

・【0029】次に、図4(b)に示すように、シリコン基板11の全面に対して、多結晶シリコン23を異方的に除去するRIE法を用いて、一定厚で除去し、素子分離領域22の上面が露出し、且つ素子分離領域22の側壁に接した多結晶シリコン膜24のみを残すように除去する。この時のRIE法により、50nmの多結晶シリコン膜23をオーバーエッチングなしに除去することが望ましいが、素子分離領域22の上面に多結晶シリコン膜が残った場合には、セル間のショートを招く可能性があるため、ある程度のオーバーエッチングを施し、素子分離領域22の上面を完全に露出させて、電気的な導通を防止しなければならない。

・【0030】また、別の製造工程として、レジストエッチバック法を用いてもよい。この方法では、多結晶シリコン膜23を堆積させた後、上層にレジスト膜を表面が平坦になるように塗布する。そして、レジスト膜と多結晶シリコン膜の間に選択比がない、即ち、ほぼ同じエッチングレートでエッチングされるような条件によるRIE法を用いてエッチバックを行う。この時、粘性の低いレジストを塗布すれば、レジストの表面が容易に平坦化できるので、この後のエッチバック量を調節する事により、素子分離領域22上の多結晶シリコン膜23だけをエッチングすることができる。

・【0031】その処理の後、アッシャー等により残ったレジスト膜を取り去る。さらに、この製造工程では、化学的機械研磨(CMP)法を利用することもできる。即ち、このCMP法を用いて、素子分離領域22上の多結晶シリコン膜23をエッチバックする。

・【0032】尚、前述したレジストエッチバック法とCMP法では、単純にRIEでエッチングを行ってゆく方法に比べて、下地の多結晶シリコン膜18をエッチングしないという利点がある。さらにCMP法では、RIE法によるプラズマダメージを回避できるという利点がある。

・【0033】次に、図4(c)に示すように、全面上にシリコン酸化膜、シリコン窒化膜、シリコン酸化膜が積層されたONO膜25を形成する。このONO膜25の膜厚は、例えば、シリコン酸化膜換算では、約14nm程度でよい。さらに、CVD法を用いて、ONO膜25上に、膜厚が350nm程度の多結晶シリコン膜26を堆積する。

・【0034】この多結晶シリコン膜26は、後述する制御ゲートとして用いられる。この多結晶シリコン膜26

7

は、単層膜でなくとも、多結晶シリコン膜とタングステシシリサイド膜などの高融点金属シリサイド膜による積層膜でもよく、制御ゲートの低抵抗化を図りたい場合には、この構造が好ましい。

・【0035】次に、図4(d)、(e)に示すように、フォトリソグラフィ技術を用いて、レジストマスク27を形成し、浮遊ゲートと制御ゲートの積層ゲートを形成するために、シリコン酸化膜14の一部が露出するまでエッチング加工する。図4(d)は、正面から見た加工後の断面図であり、図4(e)には、積層ゲートをずらして(d)の側方向から見た断面を示している。

・【0036】具体的には、多結晶シリコン膜26、ON<sub>2</sub>O膜25、多結晶シリコン膜18及び多結晶シリコン膜24を順に、適合するプロセスガスを用いてR<sub>1</sub>E法でパターンニングし、最後にレジストを剥離する。

・【0037】次に、酸化雰囲気中で熱処理を行い、ゲート側壁に、例えば10nmの後酸化膜を形成する。この後、砒素又はリンをセル部の全体に対してイオン注入し、ソース、ドレインの拡散層領域を形成する。ゲートがマスクになるため、砒素またはリンはゲート直下には注入されず、ソース・ドレインは、ゲートに対して自己整合的に形成される。ソース・ドレイン形成の後には、イオン注入した不純物を活性化させるために、例えば、窒素雰囲気中で800℃、15分程度のアニール処理を行う。

・【0038】次に図5(a)、(b)に示すように、装置表面の平坦化及び絶縁のために、BP<sub>2</sub>SG膜28を1000nm程度堆積し、表面をCMP処理若しくは、850℃程度の熱処理による再溶融により平坦化する。尚、図中にはソース・ドレインの拡散領域を記載している。

・【0039】そして図5(c)、(d)に示すように、フォトリソグラフィ技術により、レジストパターンを形成し、このレジストパターンをマスクとしてR<sub>1</sub>E法で、BP<sub>2</sub>SG膜28及びシリコン基板11上の熱酸化膜をエッチングして、コンタクトホールを形成し、レジストを剥離する。

・【0040】その後、スパッタリングにより、膜厚50nmの窒化チタン(TiN)、続けて、膜厚20nmのチタン(Ti)を形成し、さらに膜厚600nmのアルミニウム(A<sub>1</sub>)を積層させて配線層29を形成する。その後、パターンニングして、素子間を接続する配線を完成させ、さらにパッシベーション膜30をこの上層に形成し、パッド開口を行う。

・【0041】以上の製造工程により、本実施形態の不揮発性半導体記憶装置のセル部が形成される。このように形成された不揮発性半導体記憶装置においては、浮遊ゲートの上面が突起部分を有するように形成されているため、ON<sub>2</sub>O膜を介して、浮遊ゲート上に形成された制御ゲートと対向する面積が、従来のメモリセルトランジスタに比べて大きくなる。そこで、浮遊ゲートー制御ゲ

8

ト間のキャパシタの面積を増やすことができるため、従来のようにON<sub>2</sub>O膜の薄膜化により容量の増大を図らなくても、浮遊ゲートー半導体基板間の容量C<sub>1</sub>に対する浮遊ゲートー制御ゲート間の容量C<sub>2</sub>の比を大きくすることが容易にできる。

・【0042】従って、従来よりも電圧V<sub>pp</sub>を下げることで、さらなる高集積化に対応することができる。次に本発明による第2の実施形態としての不揮発性半導体記憶装置のセル部(メモリセルトランジスタ)の製造工程について説明する。

・【0043】まず、図6(a)に示すように、熱酸化処理により、例えば、膜厚10nmのシリコン酸化膜36を半導体基板11上に形成する。この上層にCVD法を用いて、膜厚400nm程度のシリコン窒化膜32を堆積させる。

・【0044】次に図6(b)に示すように、フォトリソグラフィ技術を用いて、レジストパターン33を形成し、このレジストパターンをマスクにして、R<sub>1</sub>E法により、シリコン窒化物32及びシリコン酸化膜31を部分的に除去した後、レジストパターン33を取り去る。

・【0045】続いて、図6(c)に示すように、部分的に残っているシリコン窒化物32をマスクにして、R<sub>1</sub>E法を用いて、半導体基板11を部分的にエッチングし、後で素子分離領域となる溝を形成する。この時、素子分離領域の溝の深さが半導体基板11の表面から、例えば、0.4μm程度の深さになるように形成する。

・【0046】この後図6(c)に示すように、熱酸化処理等でシリコン基板11に膜厚30nm程度の酸化膜(図示せず)を形成した後、TEOS等をプロセスガスとするCVD法により、シリコン酸化膜34を堆積させ、先に形成した素子分離領域形成用の溝を埋め込む。

・【0047】次に図6(d)に示すように、CMP法等によりシリコン窒化膜32の表面が露出するように、埋め込まれたシリコン酸化膜34の表面を平坦に研磨除去する。そして、H<sub>3</sub>PO<sub>4</sub>によりシリコン窒化膜32を取り去り、さらにNH<sub>4</sub>F等により、シリコン酸化膜31を除去する。次に、熱酸化処理により半導体基板11表面に8nm程度の酸化膜を堆積して、ゲート酸化膜(トシネル絶縁膜)35を形成する。

・【0048】こうして素子形成領域13と素子分離領域34が形成されたことになるが、ここまでの製造工程については、従来技術を利用できる。但し、本発明の効果をj得るためには、図2において前述したように、素子分離領域34上面から半導体基板11の素子形成領域(トシネル絶縁膜)13の表面までの高さを十分にとることが必要である。

・【0049】次に、従来技術では、CVD法等を用いて、例えば、膜厚200nm程度の多結晶シリコン膜を堆積させるが、本実施形態では、図7(a)に示すように、例えば、膜厚50nm程度の多結晶シリコン膜36を

9

堆積させる。この時の多結晶シリコン膜 36 の膜厚  $d$  は、素子形成領域 13 の幅  $a$  の  $1/2$  未満であることが必要である。

・【0050】実際には、後の製造工程で、この多結晶シリコン膜 36 上に、第 1 の実施形態と同様な ONO 膜を形成し、さらに制御ゲート用の多結晶シリコン膜を形成させることを考慮すると、多結晶シリコン膜 36 の膜厚は、素子形成領域の幅  $a$  の  $1/4$  程度以下が適当である。この時、堆積する多結晶シリコン膜 36 には、例えば、リンをイオン注入して導電性を持たせる。また、堆積する際に同時にリンを導入してもよい。

・【0051】次に図 7 (b) に示すように、CMP 法を用いて、素子分離領域 34 の表面が露出するまで、多結晶シリコン膜 36 を研磨除去する。この CMP 法を用いた場合は、膜厚 50 nm の多結晶シリコン膜 36 を均一的に、且つ平坦に除去することが望ましいが、素子分離領域 34 上に多結晶シリコン膜が残ると他のセル間とのショートが発生する可能性があるため、素子形成領域 13 上に形成された多結晶シリコン膜 36 が過度に除去されない程度に、オーバーエッチングを施す必要がある。

・【0052】また、この製造工程は、第 1 の実施形態と同様に、レジストエッチバック法を用いて行ってもよい。この場合は、多結晶シリコン膜 36 を堆積させた後、さらにレジストを塗布する。そして、レジストと多結晶シリコン膜 36 との間に、エッチングレートに差がでないようなプロセスガスを用いた RIE 法により、エッチバックを行なう。また粘性の低いレジストを用いれば、レジスト塗布後のレジストの表面が平坦になるため、この後のエッチバック量を調節することにより、素子分離領域 34 上の多結晶シリコン膜 36 だけをエッチングすることができる。その後、アッシャー等により残ったレジストを取り去る。

・【0053】こうした製造工程により、素子形成領域 13 上に残った多結晶シリコン膜 36 が後に加工されて、浮遊ゲートとなる。この浮遊ゲートは、図示されている通りその断面が上方に向かって、凹型形状をしており、従来の形状に比べて小さなセル面積で、あとの工程で形成する ONO 膜を大面積化しての容量の増大を図ることができる。また、浮遊ゲートの形成が素子形成領域 13 に対して、自己整合的に行われるため、セル面積を小さくすることが可能になる。

・【0054】次いで図 7 (c) に示すように、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順に積層させた、例えばシリコン酸化膜換算で 14 nm 程度の ONO 膜 37 を形成する。さらに、その上層に、膜厚 350 nm 程度の多結晶シリコン膜 38 を形成する。この多結晶シリコン膜 38 は、後に所望形状に加工され、制御ゲートとして利用される。ここで、形成される多結晶シリコン膜 38 は、単層膜であってもよいし、多結晶シリコン膜とタングステンシリサイド膜などの高融点金属シリサイド

10

膜を積層した膜でもよく、特に制御ゲートの抵抗の低抵抗化を図りたい場合には、この構造が適する。

・【0055】次に、図 8 (a)、(b) に示すように、フォトリソグラフィ技術を用いて、レジストパターンを形成し、このレジストパターンをマスクとして、多結晶シリコン膜 38、ONO 膜 37、多結晶シリコン膜 36 を順に、RIE 法を用いて、パターニングし積層ゲートを形成した後、マスクとなったレジストを剥離する。

・【0056】次に、熱酸化処理を行い、ゲート側壁に膜厚が、例えば 10 nm 程度の後酸化膜を形成する。その後、砒素又はリンをセル部の全体に対してイオン注入し、ソース、ドレインの拡散層領域を形成する。このとき積層ゲートがマスクになるため砒素又はリンはゲート直下には注入されず、ソース・ドレインはゲートに対して自己整合的に形成される。これらのソース・ドレイン形成の後に、イオン注入した不純物を活性化させるために、例えば、窒素雰囲気中で約 800℃、15 分程度のアニールを施す。

・【0057】次に、図 8 (c)、(d) に示すように、装置上面の平坦化及び絶縁の確保のために、膜厚 1000 nm 程度の BPSG 膜 39 を堆積し、CMP 法または、850℃程度の温度処理で再溶解を行い、表面を平坦化する。

・【0058】次に、図 9 (a)、(b) に示すように、フォトリソグラフィ技術を用いて、レジストパターン (図示せず) を形成し、このレジストパターンをマスクとして、RIE 法を用いて、BPSG 膜 39 及び半導体基板 11 上のシリコン酸化膜を除去し、コンタクトホールを形成する。その後、レジストを剥離する。

・【0059】次に、膜厚 50 nm の窒化チタン膜 (TiN) ・)、続けて、膜厚 20 nm のチタン膜 (Ti) をスパッタリングにより、半導体基板 11 上に堆積させ、さらに膜厚 600 nm 程度のアルミニウム (Al) を積層して配線層 40 を形成し、パターニングすることで、素子間を接続する配線を形成する。さらに上層に、BPSG 膜 41 を形成した後、パッド開口を行う。

・【0060】以上のような製造工程で形成した不揮発性半導体記憶装置は、前述した第 1 の実施形態と同様な作用及び効果が得られる。即ち、本実施形態の不揮発性半導体記憶装置は、浮遊ゲートの上面が突起部分を有しているため、ONO 膜を介して浮遊ゲートと制御ゲートとが対向する面積が、従来の不揮発性半導体記憶装置に比べて大きくなり、浮遊ゲートー制御ゲート間のキャパシタの面積を増やすことができる。よって、従来技術のように、ONO 膜の薄膜化を図らなくとも、容易に浮遊ゲートー半導体基板間の容量  $C_1$  に対する浮遊ゲートー制御ゲート間の容量  $C_2$  の比を大きくすることができる。これにより、電圧  $V_{pp}$  の低圧化が実現でき、さらなる高集積化に対応することができる。

・【0061】さらに、素子分離領域を形成するために用



11

いたマスク材を、浮遊ゲートの材料として同時に用いることができる。このため、原理的に素子分離領域を浮遊ゲートに対して、自己整合的に形成することが可能となり、微細化に有利である。

・【0062】また、本実施形態においては、素子分離領域を設けた後にトンネル絶縁膜を形成しているため、素子分離領域用の溝を加工する際のエッチングによるダメージをトンネル絶縁膜が受けることがない。従って、前述した第1の実施形態に比べて、膜質の良好なトンネル絶縁膜を得ることが出来、ひいては、セルの信頼性が向上する。

・【0063】尚、本発明で説明したような不揮発性半導体記憶装置の浮遊ゲートの断面の形状は、凹型形状に限定されるものではなく、基本的に、半導体基板-浮遊ゲート間容量即ち、半導体基板上に形成されるトンネル絶縁膜の面積に対して、浮遊ゲート-制御ゲート間容量即ち、浮遊ゲート上に形成されるインター絶縁膜の面積が大きくなるようであれば、本発明の効果が得られる。従って、例えば、図10(a)に示すようなV形状や、同図(b)に示すようなW形状若しくは、同図(c)に示すような形状であってもよい。

・【0064】

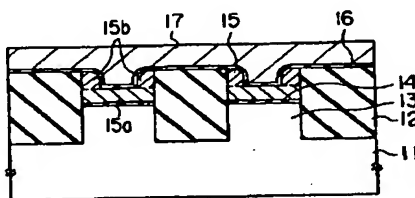
・【発明の効果】以上詳述したように本発明によれば、半導体基板-浮遊ゲート間容量に対して、浮遊ゲート-制御ゲート間容量を大きくとり、データの書き込み及びその消去を行うために印加される電圧 $V_{pp}$ の低圧化を実現し、高集積化及び微細化に適する不揮発性半導体記憶装置を提供することができる。

・【図面の簡単な説明】

・【図1】本発明の不揮発性半導体記憶装置の概略的な断面構成を示す図である。

・【図2】本発明の不揮発性半導体記憶装置の特徴を説明するための図である。

・【図1】



12

\*・【図3】本発明の第1の実施形態としての不揮発性半導体記憶装置の製造工程を説明するための図の一部である。

・【図4】本発明の第1の実施形態としての不揮発性半導体記憶装置の製造工程を説明するための図の一部である。

・【図5】本発明の第1の実施形態としての不揮発性半導体記憶装置の製造工程を説明するための図の一部である。

10 ・【図6】本発明の第2の実施形態としての不揮発性半導体記憶装置の製造工程を説明するための図の一部である。

・【図7】本発明の第2の実施形態としての不揮発性半導体記憶装置の製造工程を説明するための図の一部である。

・【図8】本発明の第2の実施形態としての不揮発性半導体記憶装置の製造工程を説明するための図の一部である。

20 ・【図9】本発明の第2の実施形態としての不揮発性半導体記憶装置の製造工程を説明するための図の一部である。

・【図10】本発明の不揮発性半導体記憶装置の変形例を示す図である。

・【図11】従来の不揮発性半導体記憶装置のセル部の構成例を示す図である。

・【符号の説明】

11…半導体基板

12…素子分離領域

13…素子形成領域

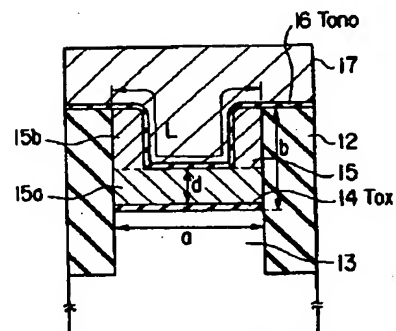
14…トンネル絶縁膜(ゲート酸化膜)

15…浮遊ゲート(多結晶シリコン膜)

16…インター絶縁膜(ONO膜)

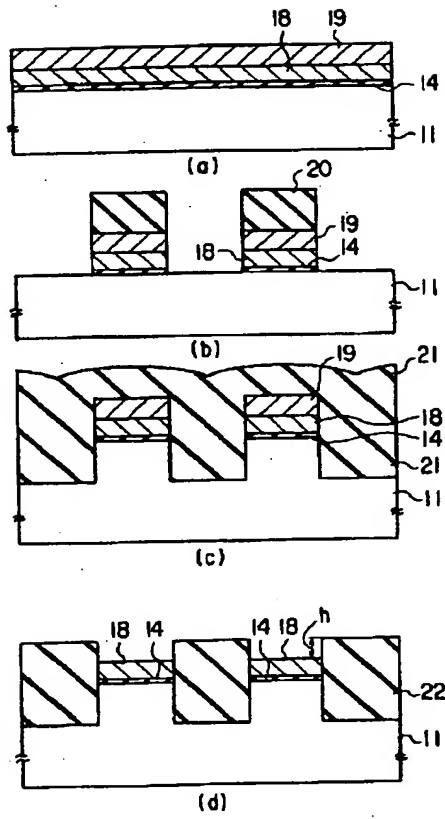
17…制御ゲート(多結晶シリコン膜)

・【図2】

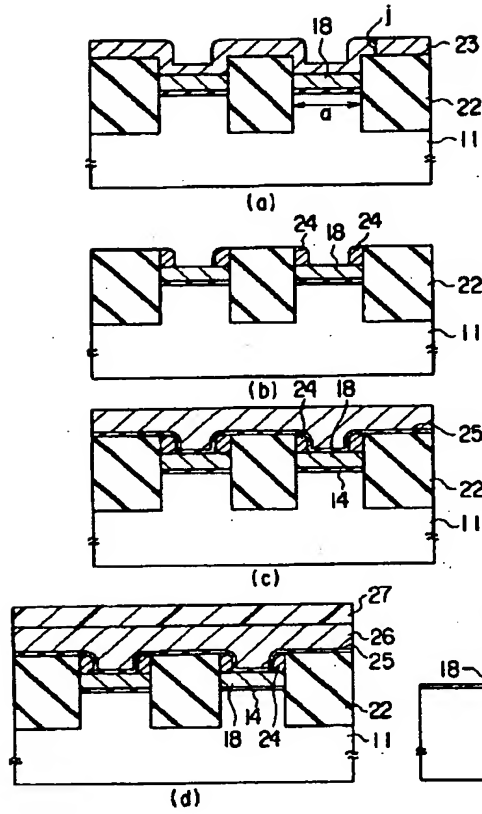




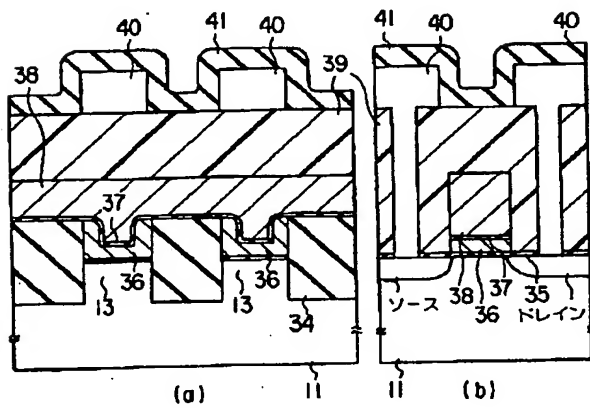
・[図 3]



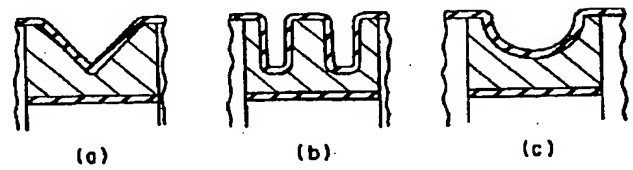
・[図 4]



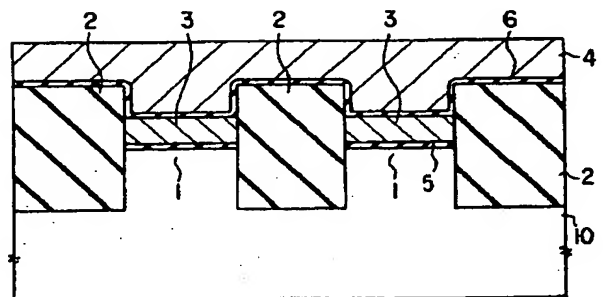
・[図 9]



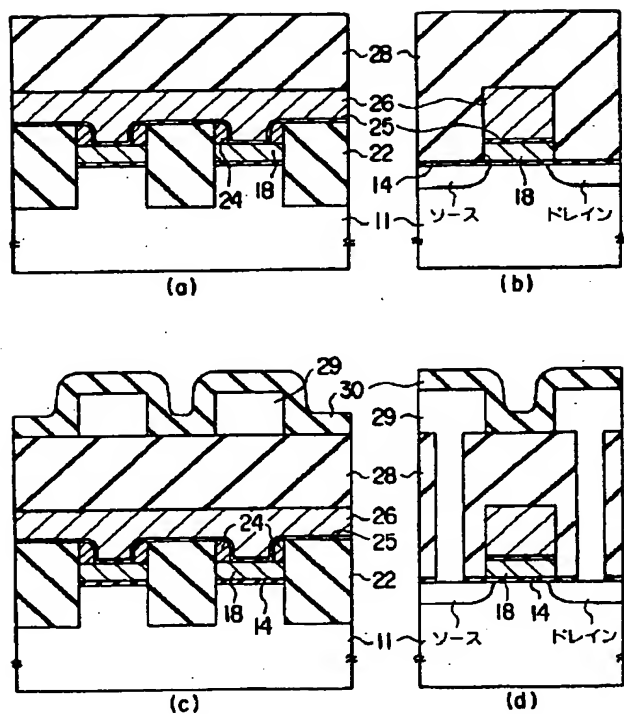
・[図 10]



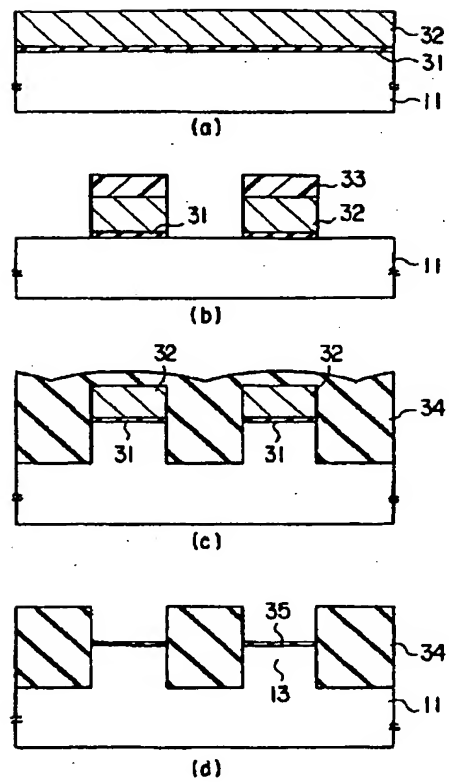
・[図 11]



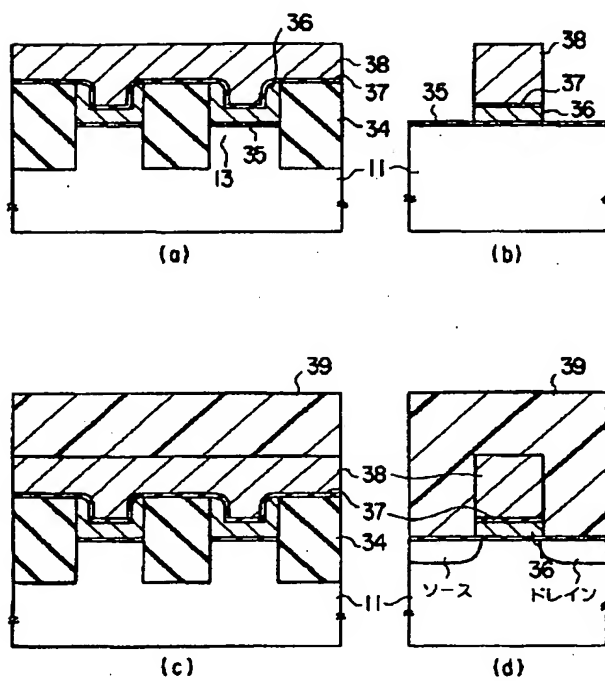
〔図 5〕



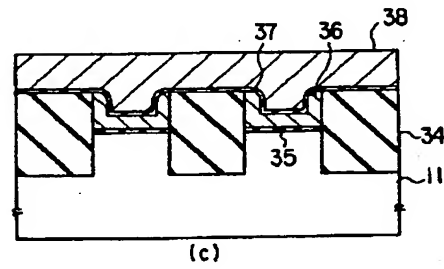
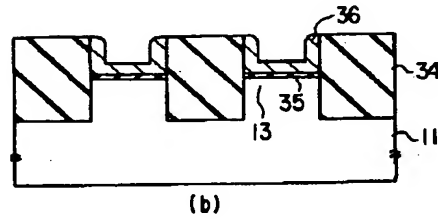
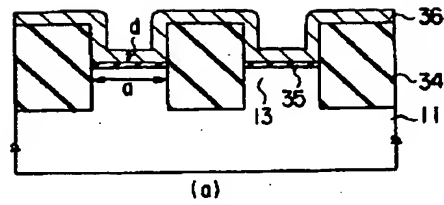
〔図 6〕



〔図 8〕



〔図 7〕



フロントページの続き

(72) 発明者 有留 誠一  
 神奈川県横浜市磯子区新杉田町 8 番地 株  
 式会社東芝横浜事業所内

(72) 発明者 丸山 徹  
 神奈川県川崎市幸区小向東芝町 1 番地 株  
 式会社東芝研究開発センター内